

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-182452

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>8</sup>  
G 1 1 C 11/401

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

G 1 1 C 11/ 34

3 6 2 C

審査請求 未請求 請求項の数7(全 9 頁)

(21)出願番号 特願平3-359811

(22)出願日 平成3年(1991)12月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 石川 透

東京都港区芝五丁目7番1号 日本電気株式会社内

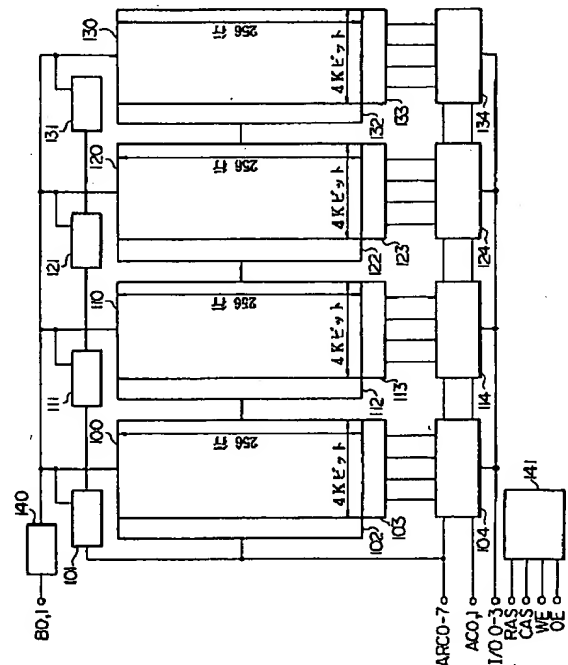
(74)代理人 弁理士 桑井 清一

(54)【発明の名称】 高速ダイナミックランダムアクセスメモリ装置

(57)【要約】

【目的】 本発明の目的はページモードのような高速アクセスの可能な範囲を広げることである。

【構成】 外部からアクセスがあると、メモセルアレイ100~130から読み出されたデータはセンスアンプ103~133で差動増幅される。センスアンプ103~133は新たな行アドレスの指定まで活性状態を保つので、列アドレスの変更のみでデータを順次外部に取り出せる。また、ブロックデコーダ140は外部信号B0、B1でもメモセルアレイ100~130の選択を変更できるので、高速アクセス可能なデータは拡大される。



## 【特許請求の範囲】

【請求項1】 行列状に配置されたメモリセルで構成されたメモリセルと、各列に接続されメモリセルから読み出されたデータを伝達するデジット線対と、各デジット線をブリチャージするブリチャージ回路と、センスアンプ活性化線で活性化されデジット線上のデータを差動増幅するセンスアンプと、ゲート制御信号にตอบสนองしていずれかのセンスアンプで差動増幅されたデータをデータバスに転送するコラムデコーダ／セレクトとを備えたダイナミックランダムアクセスメモリ装置において、上記各

センスアンプ活性化線はコラムデコーダ／セレクトを介してデータをデータバスに転送した後新たな行アドレスの指定があるまでセンスアンプを活性状態に維持し、上記新たな行アドレスの指定行上記ブリチャージ回路はデジット線をブリチャージすることを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項2】 上記新たな行アドレスの指定がある前に、列アドレスを変更して活性状態のセンスアンプから順次データをデータバスに読み出す請求項1記載のダイナミックランダムアクセスメモリ装置。

【請求項3】 上記メモリセルアレイは複数個設けられており、ブロックデコーダで指定されたメモリセルアレイがアクセス可能になる請求項1記載のダイナミックランダムアクセスメモリ装置。

【請求項4】 上記ブロックデコーダはメモリセルを選択するアドレス信号以外に外部制御信号で複数のメモリセルアレイを選択できる請求項3記載のダイナミックランダムアクセスメモリ装置。

【請求項5】 上記メモリセルアレイはリフレッシュ開始時の行アドレスを退避させるレジスタを有しており、リフレッシュ終了後該レジスタの行アドレスで指定されるメモリセルのデータをセンスアンプに保持する請求項1記載のダイナミックランダムアクセスメモリ装置。

【請求項6】 各デジット線は少なくともメモリセルの接続された第1区間と、センスアンプの接続された第2区間と、他のメモリセルが接続された第3区間を有しており、第1区間と第2区間との間に第1分離回路が介在し、第2区間と第3区間との間に第2分離回路が介在しており、センスアンプからデータバスにデータを転送した後、新たな行アドレスが供給されるまでの間に第1区間と第3区間をブリチャージし、新たな行アドレスの供給後に第2区間をブリチャージする請求項1記載のダイナミックランダムアクセスメモリ装置。

【請求項7】 各デジット線にはリフレッシュ時に使用されるリフレッシュ用センスアンプが接続されている請求項1記載のダイナミックランダムアクセスメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はダイナミックランダムア

クセスメモリ（以下、DRAMという）に関し、特に、DRAMの高速アクセス化に関する。

## 【0002】

【従来の技術】 4個のメガビットのメモリセルアレイで構成された従来のDRAMを図13に示す。従来のDRAMはコントロール回路541で定期的に保持しているデータビットをリフレッシュにしており、一度にリフレッシュされるメモリセルアレイを1ブロックとすると、4メガビットのDRAMは4分割されてリフレッシュされる。各ブロックは4000ビットを256行なので、4Kビット単位で1024回のリフレッシュを行うと全ビットのリフレッシュが完了する。4メガビットDRAMは、4000ビット×256行のメモリセルアレイ500、510、520、530と、各メモリセルアレイ500～530のロウデコーダ501、511、521、531と、各メモリセルアレイ500～530のリフレッシュを行うセンスアンプ502、512、522、532と、各メモリセルアレイ500～530のカラムデコーダ503、513、523、533とメモリセルアレイ500～530の選択を行うブロックデコーダ540と、読み出し／書き込み／リフレッシュに必要なタイミング信号を発生するリフレッシュR/Wコントロール541とで構成される。

【0003】 各メモリセルアレイ内の1対のデジット線DLPに接続されているセンスアンプ503、カラムデコーダ504の回路、及び各主要接点の信号波形を図14、図15に示す。デジット線対DLP（D、CD）は、アクセス以前は、同一レベルとなっており、アクセス開始後（時刻t1）センスアンプが活性化されてSAPが電源レベルに、SANがGNDレベルとなり、ワード線W0上のセルデータに従ってデジット線D、CDが駆動される。その後、YSWが電源レベルとなると（時刻t2）、デジット線D、CDのデータがデータバスI/O、I/Oに転送される。アクセス終了後はSAP、SAN、D、Dは同一レベルとなり、非活性化される。

【0004】 リフレッシュ時の動作も上述の読み出し動作と略同様であり、デジット線対DLP上に読み出されたデータはセンスアンプ504で増幅され、再び同じメモリセルに書き込まれる。

## 【0005】

【発明が解決しようとする課題】 従来のDRAMは、ページモード、スタティックカラムモードのような高速アクセスモードを有するが、その高速アクセスは、ワード線が立ち上がり、このワード線に接続された全てのメモリセルアレイのデータが読み出されても、センスアンプで活性化したときに該活性化されたセンスアンプにあるデータに対してのみ有効である。一度アクセスが終了するとセンスアンプのデータは保持されず、次にアクセスするときは、再度ワード線の選択から始める必要がある。しかも、DRAMの容量の増大と共に、一度に全て

10

20

30

40

50

3

のセンスアンプが活性化されるわけではなく、4メガビットDRAMの場合は、全体の1/4のセンスアンプしか活性化されない。したがってページモード、スタティックカラムモードのような高速アクセスモードでアクセスできるのは、その1/4のセンスアンプが保持しているデータに限られる。図13の例で説明すると、センスアンプ502が活性化されているときは残りのセンスアンプ512、522、532は非活性化状態であり、データは保持していない。また、ブロックアドレスはロウアドレス信号の一部として入力されるため、カラムアドレスデコーダ503でメモリセルアレイ500~530の選択を行うことはできない。したがって、センスアンプ502、512、522、532が仮にデータを保持していても、高速アクセスはできない。

【0006】以上説明してきたように、従来例では高速アクセスは複数のメモリセルアレイ500~530の内のいずれか1つに限られており、DRAMに保持されているデータへの高速アクセスには制限があるという欠点を有していた。

【0007】

【課題を解決するための手段】本発明の要旨は、行列状に配置されたメモリセルで構成されたメモリセルと、各列に接続されメモリセルから読み出されたデータを伝達するデジット線対と、各デジット線をプリチャージするプリチャージ回路と、センスアンプ活性化線で活性化されデジット線上のデータを差動増幅するセンスアンプと、ゲート制御信号に応答していずれかのセンスアンプで差動増幅されたデータをデータバスに転送するコラムデコーダ/セレクトとを備えたダイナミックランダムアクセスメモリ装置において、上記各センスアンプ活性化線はコラムデコーダ/セレクトを介してデータをデータバスに転送した後新たな行アドレスの指定があるまでセンスアンプを活性化状態に維持し、上記新たな行アドレスの指定行上記プリチャージ回路はデジット線をプリチャージすることである。

【0008】

【発明の作用】データのアクセス時に、メモリセルから読み出されたデータはセンスアンプで差動増幅後、列アドレスに基づきデータバスに転送される。各センスアンプは新たな行アドレスの指定までデータを保持し、列アドレスの変更のみでデータにアクセスできる。

【0009】

【実施例】図1は1メガビットのメモリセルアレイ4つを含むDRAMのブロック図である。図1に示すように、本実施例に係るDRAMは、4Kビット×256行のメモリセルアレイ100、110、120、130と、各メモリセルアレイ100~130のロウデコーダ102、112、122、132と、各メモリセルアレイ100~130から読み出されたデータの差動増幅(リフレッシュ)を行うセンスアンプ103、113、

4

123、133と、各メモリセルアレイ100~130のカラムデコーダセレクト104、114、124、134と、メモリセルアレイ100~130の選択を行うブロックデコーダ140と、各メモリセルアレイ100~130のセンスアンプ103~133が保持しているデータのロウアドレスを保持するレジスタ101、111、121、131と、読み出し/書き込み/リフレッシュに必要なタイミング信号を発生するリフレッシュ/R/Wコントロール141とで構成される。

【0010】メモリセルアレイ105、センスアンプ103、カラムデコーダ/セレクト104に含まれる1対のデジット線D、CDの回路構成と、各主要接点の信号波形を図2、図3に示す。図3に示すように、センスアンプ活性化線SAP、SANとデジット線対D、CDは、アクセス以前から活性化状態となっており、センスアンプ103、113、123、133には各メモリセルにおいて前回アクセスされたワード線上のデータが保持されている。アクセスが開始されるとプリチャージ信号PRCによりD、CDはプリチャージされ(時刻t11)、次にワード線W0が立ち上がり(時刻t12)、センスアンプ103が活性化されて(時刻t13)、ワード線W0上のデータがデジット線対D、CDに現れる。コラム選択信号YSWが電源レベルとなると(時刻t14)、デジット線D、CD上のデータが、データバスI/Oに現れる。アクセス終了後も、センスアンプ活性化線SAP、SANとデジット線D、CDは活性化状態のままデータを保持しているため、カラムアクセスがあったときには、センスアンプ103がデータを保持しているため、他のコラム選択信号YSWが電源レベルとなるだけで、他のデジット線のデータがデータバスI/Oに現れる。

【0011】高速アクセスにおいても、メモリセルアレイ100~130の選択ができるようにブロックデコーダ140に外部よりB0、1信号を与えて、ロウアドレス信号ARC0-7、AC0、1以外でも、センスアンプ103、113、123、133の保持するデータ全てに対してアクセス可能となっている。

【0012】リフレッシュ時は図4に示すように、デジット線対D、CDのデータをレジスタ101、111、121、131の保持するロウアドレスで指定されたワード線上のデータとして再書き込みし、次に、リフレッシュするワード線上のデータをリフレッシュし、最後にレジスタ101、111、121、131の保持するロウアドレスで指定されたワード線上のデータを再び読み出して、デジット線対D、CDのデータをリフレッシュ以前の状態に戻す。

【0013】なお、例えば、メモリセルアレイ100がリフレッシュ中でも、センスアンプ113、123、133はデータを保持しており、それらデータに対してアクセス可能である。図5は本発明の第2実施例を示すブ

10

20

30

40

50

ロック図であり、第2実施例は図6に詳示されているように各センスアンプ203が複数のデジット線対D、CD、D'、CD'上のデータをセンスする。例えば、分割型センス方式の場合、複数のデジット線対D、CD、D'、CD'上のデータは異なるため、一つのセンスアンプで複数のデジット線対を活性化し保持し続けることはできない。そこで、本実施例では、メモリセルアレイ200、210、220、230とセンスアンプ203、213、223、233との間に分轄回路205、215、225、235を介在させている。

【0014】図7は第2実施例の動作を説明する信号波形図である。図7に示すように、センスアンプ活性化線SAP、SANとデジット線対D、CDはアクセス以前から、活性化状態となっており、センスアンプ203、213、223、233には各メモリセルアレイ200～230において前回アクセスされたワード線上のデータが保持されている。ただし、制御線GATE1、GATE2はロウレベル、プリチャージ線PRC1、3はハイレベルとなっており、デジット線対D、CD、D'、CD'はプリチャージされて同一レベルとなっている。次に、アクセスが開始されるとプリチャージ線PRC2により、D'、CD'はプリチャージされ(時刻t21)、次にワード線W0、制御線GATE1が立ち上がり、センスアンプ203が活性化されて(時刻t23)、ワード線W0上のデータがデジット線対D'、CD'に現れ、コラム選択線YSWが電源レベルとなると(時刻t24)、デジット線D'、CD'上のデータがデータバスI/Oに現れる。デジット線対D、CDは、プリチャージ状態を維持している。

【0015】アクセス終了後、ワード線W0、GATE1が立ち下がり、デジット線対D、CDはプリチャージされて同一レベルとなるが、センスアンプ活性化線SAP、SANとデジット線D、CD'は活性化状態のままデータを保持している。したがって、コラムアクセスがあったときには、センスアンプ203がデータを保持しており、コラム選択線YSWが電源レベルとなるだけで、デジット線D、CD'上のデータがデータバスI/Oに現れる。

【0016】図8は、第2実施例の変形例を示しており、制御信号GATE1はプリチャージ信号PRC2がハイレベルとなってプリチャージが始まるときに、ハイレベルとなってデジット線対D'、CD'とデジット線対D、CDのプリチャージレベルが同一となるようにしている。

【0017】図9は本発明の第3実施例を示すブロック図である。上述の第1、第2実施例では、センスアンプの保持しているデータを消さずにリフレッシュするために、図4に示されているような制御を必要とした。これは、1対のデジット線または接続可能なデジット線群は1台のセンスアンプに連続しているので、データの保持

とリフレッシュを同時に行えないためである。そこで、第3実施例は図10に示すように、接続可能なデジット線群に2台のセンスアンプ303、306を設け、分離回路305、315、325、335とメモリセルアレイ300、310、320、330の間のセンスアンプ306～336はリフレッシュ用のセンスアンプとしている。

【0018】図11は本実施例の動作を示す信号波形図である。各信号の制御方式は第2実施例とほとんど同じであるが、図8に示された第2実施例の制御と比較すると、制御信号GATEを電源レベル以上に上昇させる必要はない。これは、センスアンプ306、316、326、336によって、デジット線対D'、CD'の一方は電源レベル、もう一方は接地レベルまで活性化されるためである。

【0019】図12は本発明の第4実施例を示すブロック図である。第1、第2実施例の場合、あるメモリセルアレイがリフレッシュされている間そのメモリセルアレイをリフレッシュしているセンスアンプ上のデータへのアクセスはできない、さらに、リフレッシュするアドレスが内部カウンタで設定される場合、リフレッシュしているメモリセルアレイのセンスアンプと外部よりアクセスするセンスアンプが一致したことを外部より知ることはできない。そこで、第4実施例は図12に示すように、リフレッシュしているメモリセルアレイのセンスアンプと外部よりアクセスするセンスアンプが一致したことを検出する一致検出回路405、415、425、435を設け、リフレッシュしているメモリセルアレイのセンスアンプと外部よりアクセスするセンスアンプが一致したことを外部に示すことができる。

【0020】

【発明の効果】以上説明したように、本発明のDRAMはアクセス終了後もセンスアンプにデータを保持しているので、従来のドラムのようにセンスアンプのデータをアクセスするときもメモリセルアレイの活性化から始める必要はなくなった。その結果、センスアンプに保持している全てのデータに対して高速でアクセスすることができ、従来のDRAMに比べ、高速アクセスできるデータの範囲が拡大されるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1実施例のブロック図である。

【図2】本発明の第1実施例の回路例である。

【図3】本発明の第1実施例の回路例の信号波形図である。

【図4】本発明の第1実施例の回路例のリフレッシュの信号波形図である。

【図5】本発明の第2実施例のブロック図である。

【図6】本発明の第2実施例の回路例である。

【図7】本発明の第2実施例の回路例の第1の信号波形図である。

7

【図8】本発明の第2実施例の回路例の変形例の信号波形図である。

【図9】本発明の第3実施例のブロック図である。

【図10】本発明の第3実施例の回路例である。

【図11】本発明の第3実施例の回路例の信号波形図である。

【図12】本発明の第4実施例のブロック図である。

【図13】従来例のブロック図である。

【図14】従来例の回路例である。

【図15】従来例の回路例の信号波形図である。

【符号の説明】

100～130, 200～230, 300～330, 400～430

\* 00～430 メモリセルアレイ

102～132, 202～232, 302～332, 402～432

ロウデコーダ

103～133, 203～233, 303～333, 403～433

センスアンプ

104～134, 204～234, 304～334, 404～434

カラムデコーダ

101～131, 201～231, 301～331, 401～431

レジスタ

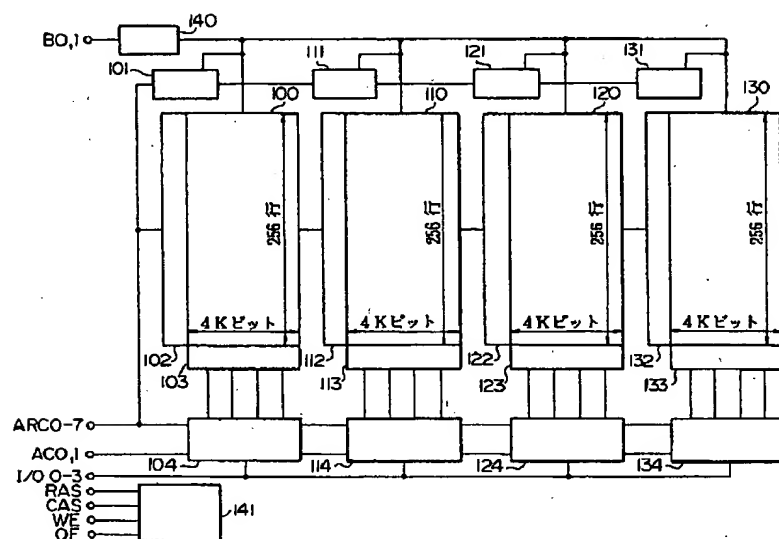
10 140, 240, 340, 440

ブロックデコーダ

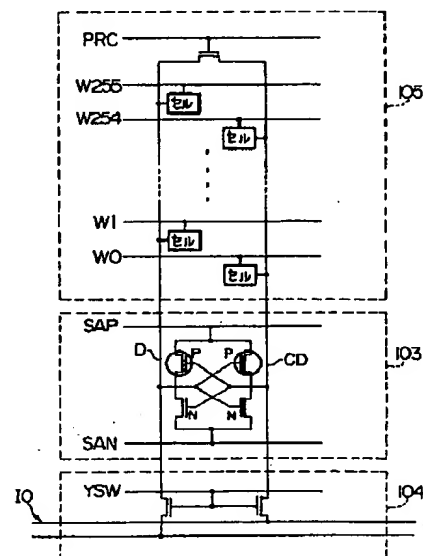
141, 241, 341, 441

リフレッシュ/R/Wコントロール

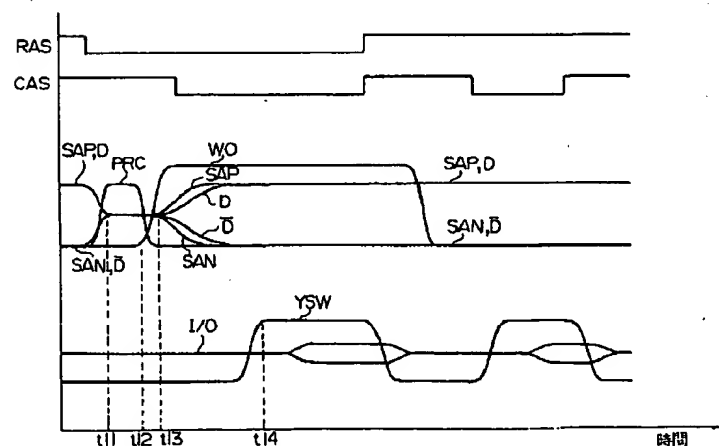
【図1】



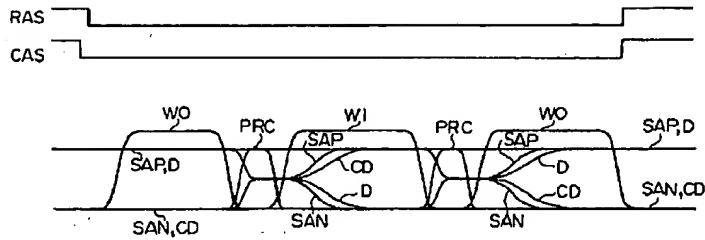
【図2】



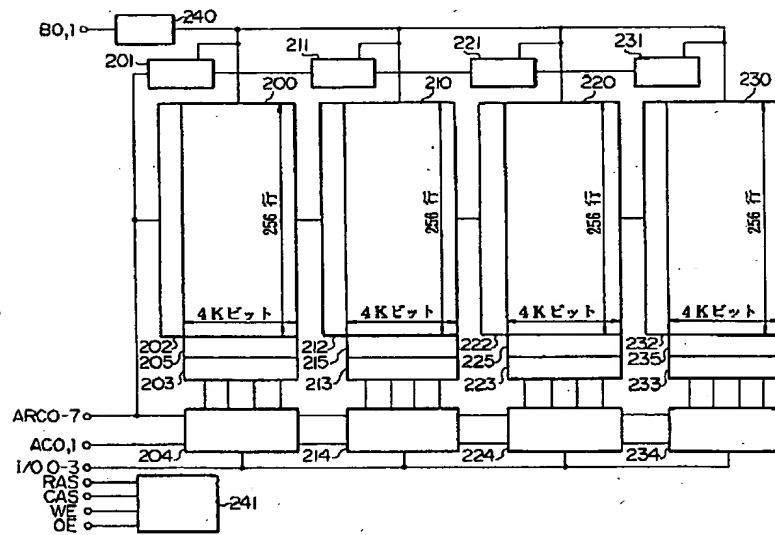
【図3】



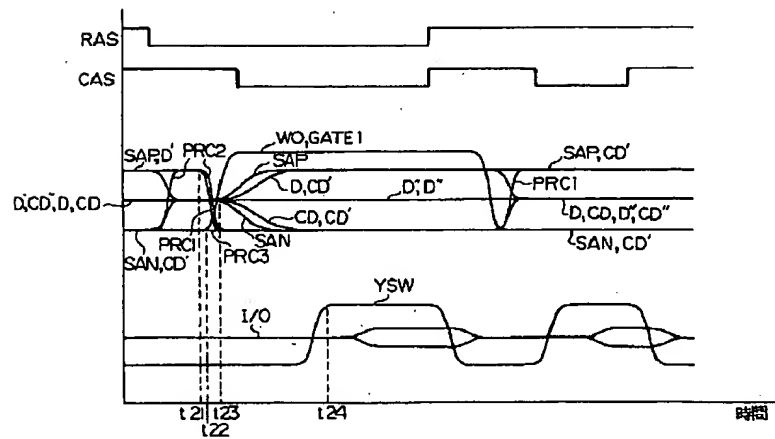
【図4】



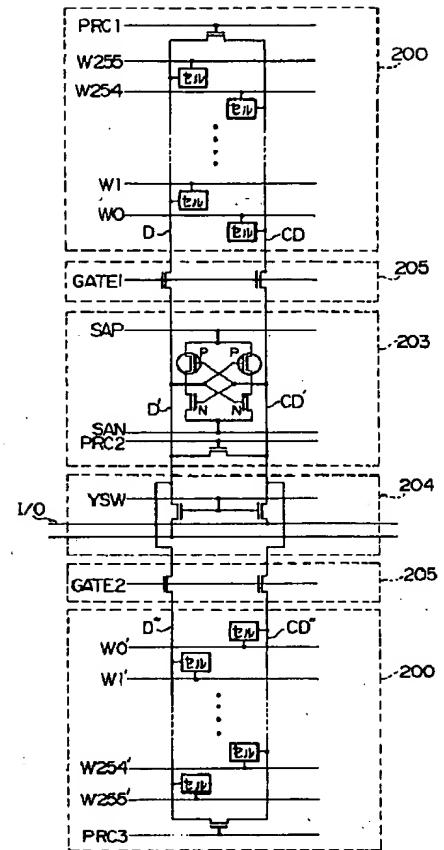
【図5】



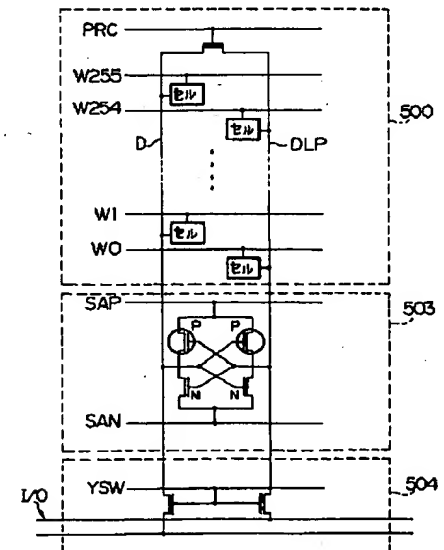
【図7】



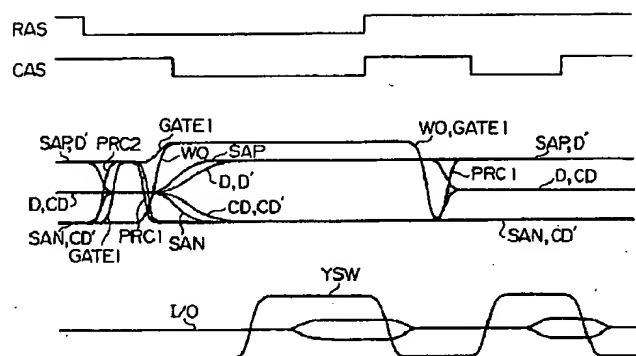
【図6】



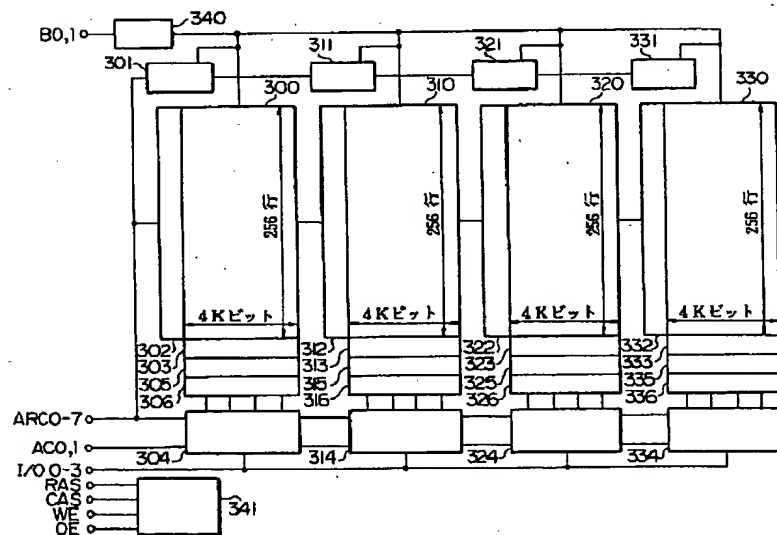
【図14】



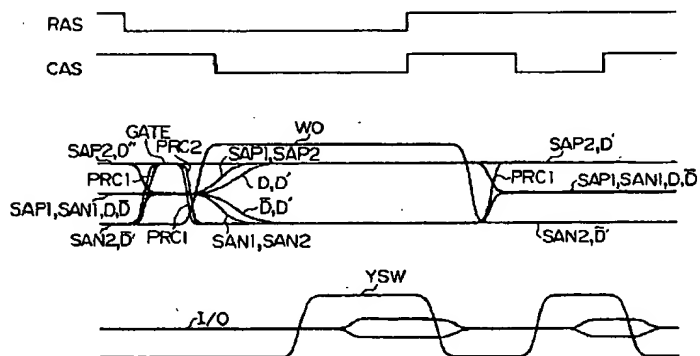
【図8】



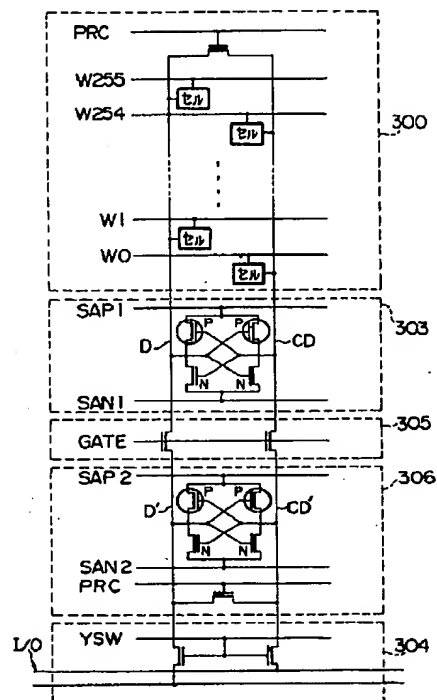
【図9】



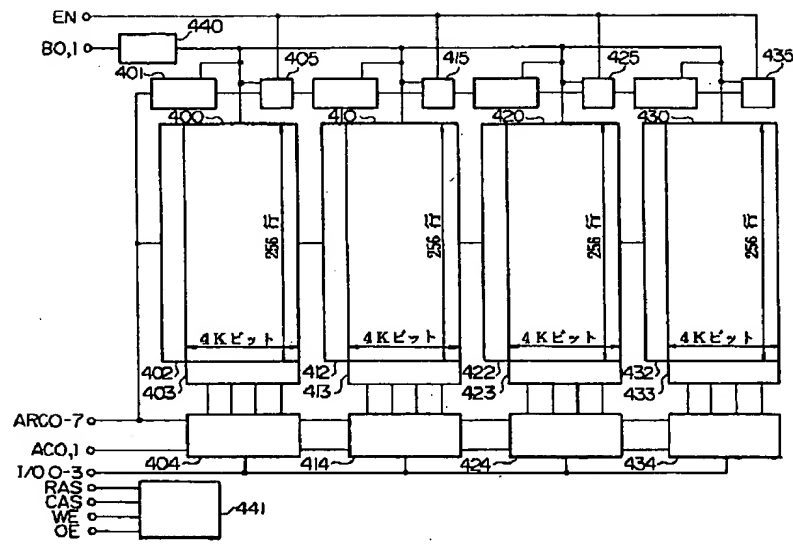
【図11】



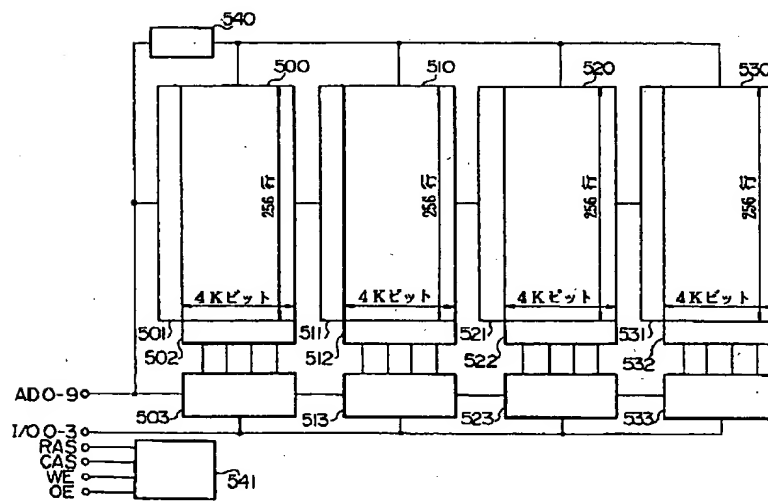
【図10】



【図12】

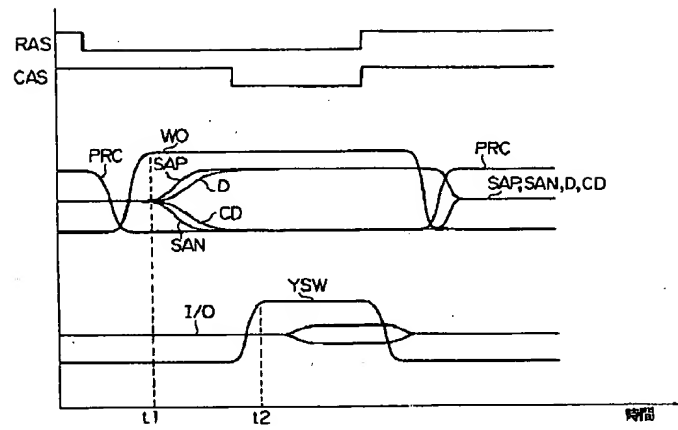


【図13】





【図15】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-182452

(43)Date of publication of application : 23.07.1993

(51)Int.Cl.

G11C 11/401

(21)Application number : 03-359811

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1991

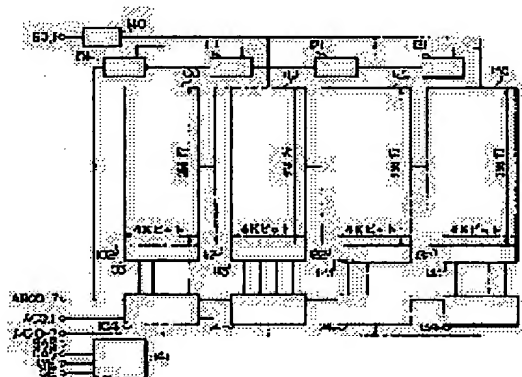
(72)Inventor : ISHIKAWA TORU

## (54) HIGH SPEED DYNAMIC RANDOM ACCESS MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To widen a range capable of high speed access like a page mode.

**CONSTITUTION:** When the outside accesses, data read from memory cell arrays 100-130 is differential-amplified by sense amplifiers 103-133. Since sense amplifiers 103-133 hold an activated condition till a new row address is specified, the data is taken out to the outside successively only by revising a column address. Further, since a block decoder 140 revises the selection of the memory cell arrays 100-130 even by external signal B0, B1, the data capable of high speed access is widened.



## LEGAL STATUS

[Date of request for examination]

04.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2973668

[Date of registration]

03.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The memory cell which consisted of memory cells arranged in the shape of a matrix. The digit line pair which transmits the data which were connected to each train and read from the memory cell. The precharge circuit which precharges each digit line. The sense amplifier which is activated by the sense amplifier activation line and carries out the differential amplifier of the data on a digit line. The column decoder / selector which transmits the data by which had answered the gate control signal, and shifted and the differential amplifier was carried out with that sense amplifier to a data bus after transmitting data to a data bus through a column decoder / selector, until it is dynamic RAM equipment equipped with the above, and each above-mentioned sense amplifier activation line has specification of a new line address — a sense amplifier — an active state — maintaining — the above — it is characterized by the specification line above-mentioned precharge circuit of a new line address precharging a digit line.

[Claim 2] the above — the dynamic RAM equipment according to claim 1 which changes the train address and reads data from the sense amplifier of an active state to a data bus one by one before there is specification of a new line address.

[Claim 3] The above-mentioned memory cell array is dynamic RAM equipment according to claim 1 with which the memory cell array which are prepared and was specified by the block decoder becomes accessible. [ two or more ]

[Claim 4] The above-mentioned block decoder is dynamic RAM equipment according to claim 3 which can choose two or more memory cell arrays by the external-control signal in addition to the address signal which chooses a memory cell.

[Claim 5] The above-mentioned memory cell array is dynamic RAM equipment according to claim 1 which holds the data of the memory cell which has the register made [ the line address at the time of a refreshment start ] to \*\*\*\*, and is specified by the line address of this register after a refreshment end to a sense amplifier.

[Claim 6] The 1st section where, as for each digit line, the memory cell was connected at least, and the 2nd section where the sense amplifier was connected, Have the 3rd section where other memory cells were connected, and the 1st separation circuit intervenes between the 1st section and the 2nd section. After the 2nd separation circuit's intervening between the 2nd section and the 3rd section and transmitting data to a data bus from a sense amplifier, Dynamic RAM equipment according to claim 1 which will precharge the 1st section and the 3rd section by the time a new line address is supplied, and precharges the 2nd section after supply of a new line address.

[Claim 7] Dynamic RAM equipment according to claim 1 by which the sense amplifier for refreshment used at the time of refreshment is connected to each digit line.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to rapid access-ization of DRAM about a dynamic RAM (henceforth DRAM).

[0002]

[Description of the Prior Art] The conventional DRAM which consisted of memory cell arrays of four megabits is shown in drawing 13. The conventional DRAM is making refreshment the data bit currently held periodically by the control circuit 541, and when the memory cell array refreshed at once is made into 1 block, it is quadrisectioned and refreshed for 4-megabit DRAM. Since each block is 256 lines about 4000 bits, if 1024 refreshment is performed per 4 K bits, refreshment of all bits will complete it. 4-megabit DRAM The memory cell array 500,510,520,530 of 4000 bit x256 line, The row decoder 501,511,521,531 of each memory cell arrays 500-530, The sense amplifier 502,512,522,532 refreshed for each memory cell arrays 500-530, The column decoder 503,513,523,533 of each memory cell arrays 500-530, and the block decoder 540 which performs selection of the memory cell arrays 500-530, It consists of refreshment R/W control 541 which generates a timing signal required for read-out / writing / refreshment.

[0003] The circuit of the sense amplifier 503 connected to one pair of digit line DLP in each memory cell array and the column decoder 504 and the signal wave form of each main contacts are shown in drawing 14 and drawing 15. The digit line pair DLP (D, CD) serves as the same level before access, a sense amplifier is activated after an access start (time t1), SAN serves as [ SAP ] GND level at power supply level, and the digit lines D and CD drive according to the cell data on a word line W0. Then, if YSW serves as power supply level (time t2), the data of the digit lines D and CD will be transmitted to data bus I/O and I/O. After an access end, SAP, SAN, D, and D are set to the same level, and are deactivated.

[0004] Operation at the time of refreshment is the same as that of above-mentioned read-out operation and abbreviation, and the data read on the digit line pair DLP are amplified with a sense amplifier 504, and are written in the again same memory cell.

[0005]

[Problem(s) to be Solved by the Invention] Although the conventional DRAM has the high-speed access mode like a page mode and static column mode, the rapid access is effective only to the data in the this activated sense amplifier, when it is activated with a sense amplifier, even if the data of all memory cell arrays which the word line started and were connected to this word line were read. Once access is completed, when it is not held but a degree is accessed, it is necessary to begin the data of a sense amplifier from selection of a word line again. And with increase of the capacity of DRAM, all sense amplifiers are not activated at once and, in the case of 4-megabit DRAM, only one fourth of the sense amplifiers of the whole are activated. Therefore, it is restricted to the data which the sense amplifier of 1/the 4 holds that it can access with the high-speed access mode like a page mode and static column mode. If the example of drawing 13 explains, when the sense amplifier 502 is activated, the remaining sense amplifiers 512,522,532 will be non-active states, and will not hold data. Moreover, since a block address is inputted as a part of row address signal, it cannot choose the memory cell arrays

500-530 by the column address decoder 503. Therefore, rapid access will not be made even if the sense amplifier 502,512,522,532 holds data.

[0006] As explained above, in the conventional example, rapid access had the fault that it was restricted to any one of two or more memory cell arrays 500-530, and the rapid access to the data currently held at DRAM had a limit.

[0007]

[Means for Solving the Problem] The memory cell which consisted of memory cells by which the summary of this invention has been arranged in the shape of a matrix, The digit line pair which transmits the data which were connected to each train and read from the memory cell, The precharge circuit which precharges each digit line, and the sense amplifier which is activated by the sense amplifier activation line and carries out the differential amplifier of the data on a digit line, In dynamic RAM equipment equipped with the column decoder / selector which transmits the data by which had answered the gate control signal, and shifted and the differential amplifier was carried out with that sense amplifier to a data bus A sense amplifier is maintained to an active state until each above-mentioned sense amplifier activation line has specification of a new line address, after transmitting data to a data bus through a column decoder / selector. the above — the specification line above-mentioned precharge circuit of a new line address is precharging a digit line

[0008]

[Function of the Invention] The data read from the memory cell at the time of access of data are transmitted to a data bus after a differential amplifier based on the train address with a sense amplifier. Each sense amplifier holds data to specification of a new line address, and can access data only by change of the train address.

[0009]

[Example] Drawing 1 is the block diagram of DRAM containing four 1-megabit memory cell arrays. As shown in drawing 1, DRAM concerning this example The memory cell array 100,110,120,130 of 4K bit x256 line, The low decoder 102,112,122,132 of each memory cell arrays 100-130, The sense amplifier 103,113,123,133 which performs the differential amplifier (refreshment) of the data read from each memory cell arrays 100-130, The column decoder selector 104,114,124,134 of each memory cell arrays 100-130, The block decoder 140 which chooses the memory cell arrays 100-130, The register 101,111,121,131 holding the row address of the data which the sense amplifiers 103-133 of each memory cell arrays 100-130 hold, It consists of refreshment / R/W control 141 which generates a timing signal required for read-out / writing / refreshment.

[0010] The signal wave form of each main contacts is indicated to be circuitry of the memory cell array 105, a sense amplifier 103, and one pair of digit lines D and CD contained in a column decoder / selector 104 to drawing 2 and drawing 3. As shown in drawing 3, the sense amplifier activation lines SAP and SAN and the digit line pairs D and CD have an activated state from access or before, and the data on the word line accessed last time in each memory cell are held at the sense amplifier 103,113,123,133. If access is started, D and CD will be precharged by the precharge signal PRC (time t11), next a word line W0 starts (time t12), a sense amplifier 103 is activated (time t13), and the data on a word line W0 appear in the digit line pairs D and CD. If the column selection signal YSW serves as power supply level (time t14), the data on the digit lines D and CD will appear in data bus I/O. Since, as for the sense amplifier activation lines SAP and SAN and the digit lines D and CD, after an access end holds data with an activated state and the sense amplifier 103 holds data when there is column access, other column selection signals YSW only serve as power supply level, and the data of other digit lines appear in data bus I/O.

[0011] Also in rapid access, B0 and 1 signal is given to the block decoder 140 from the exterior so that selection of the memory cell arrays 100-130 can be performed, and it is accessible to all the data that a sense amplifier 103,113,123,133 holds also except the row address signal ARC 0-7, AC0, and 1.

[0012] the data on the word line which re-writes in as data on the word line specified by the row address to which a register 101,111,121,131 holds the data of the digit line pairs D and CD as shown in drawing 4, next is refreshed are refreshed at the time of refreshment, it carries out

reading appearance of the data on the word line specified by the row address which a register 101,111,121,131 finally holds again, and returns the data of the digit line pairs D and CD to the state before refreshment

[0013] In addition, for example, also in refreshment, the memory cell array 100 holds data and a sense amplifier 113,123,133 has it to these data. [ accessible ] drawing 5 — this invention — the — two — an example — being shown — a block diagram — it is — the — two — an example — drawing 6 — full — being shown — having — \*\*\*\* — as — each — a sense amplifier — 203 — plurality — a digit — a line pair — D — CD — D — " — CD — " — a top — data — sensing . for example, — an assembled die — a sense — a method — a case — plurality — a digit — a line pair — D — CD — D — " — CD — " — a top — data — differing — a sake — two or more digit line pairs with one sense amplifier — being activated — holding — it cannot continue . Then, the \*\*\*\* circuit 205,215,225,235 is made to intervene between the memory cell array 200,210,220,230 and a sense amplifier 203,213,223,233 in this example.

[0014] Drawing 7 is a signal wave form view explaining operation of the 2nd example. As shown in drawing 7 , the sense amplifier activation lines SAP and SAN and the digit line pairs D and CD have an activated state from access or before, and the data on the word line accessed last time in each memory cell arrays 200–230 are held at the sense amplifier 203,213,223,233. However, the control lines GATE1 and GATE2 are set to a low level and a pre-charge line 1 and PRC 3 being high-level, and the digit line pairs D and CD, D", and CD" are precharged, and have the same level. Next, D' and CD' will be precharged by the pre-charge line PRC2 if access is started (time t21). Next, a word line W0 and the control line GATE1 start, and a sense amplifier 203 is activated (time t23). if the data on a word line W0 appear in digit line pair D' and CD' and the column selection line YSW serves as power supply level (time t24) — digit line D' and CD' — the upper data appear in data bus I/O Digit line pair D" and CD" are maintaining the precharge state.

[0015] Although word lines W0 and GATE1 fall after an access end, the digit line pairs D and CD are precharged and it is set to the same level, the sense amplifier activation lines SAP and SAN, the digit line D, and CD' hold data with an activated state. Therefore, when there is column access, the sense amplifier 203 holds data and the data on the digit line D and CD' appear in data bus I/O only by the column selection line YSW serving as power supply level.

[0016] Drawing 8 shows the modification of the 2nd example, and when the precharge signal PRC2 becomes high-level and precharge starts, a control signal GATE1 becomes high-level, and it is made the same [ a control signal / the precharge level of digit line pair D', and the CD' and the digit line pairs D and CD ].

[0017] Drawing 9 is the block diagram showing the 3rd example of this invention. In the above-mentioned 1st and the 2nd example, since it refreshed without erasing the data holding the sense amplifier, control as shown in drawing 4 was needed. Since the digit track group which this connects [ one pair of digit lines or ] is following one set of a sense amplifier, it is because maintenance and refreshment of data cannot be performed simultaneously. Then, as shown in drawing 10 , the 3rd example prepares two sets of sense amplifiers 303,306 in a connectable digit track group, and is using the sense amplifiers 306–336 between the separation circuit 305,315,325,335 and the memory cell array 300,310,320,330 as the sense amplifier for refreshment.

[0018] Drawing 11 is the signal wave form view showing operation of this example. Although the control system of each signal is almost the same as the 2nd example, it is not necessary to raise a control signal GATE as compared with control of the 2nd example shown in drawing 8 more than power supply level. This is digit line pair D' and because power supply level and another side are activated for one side of CD' to grounding level by the sense amplifier 306,316,326,336.

[0019] Drawing 12 is the block diagram showing the 4th example of this invention. While a certain memory cell array is refreshed in the case of the 1st and the 2nd example, it cannot know from the exterior that the sense amplifier of the refreshed memory cell array and the sense amplifier of access to the data on the sense amplifier refreshed for the memory cell array accessed from the exterior corresponded when the address which is not made and to refresh was further set up by the internal counter. Then, the coincidence detector 405,415,425,435 which detects that the

sense amplifier of the refreshed memory cell array and the sense amplifier of the example [ 4th ] accessed from the exterior corresponded as shown in drawing 12 can be formed, and it can be shown outside that the sense amplifier of the refreshed memory cell array and the sense amplifier accessed from the exterior were in agreement.

[0020]

[Effect of the Invention] After an access end and when accessing the data of a sense amplifier, it became unnecessary to begin them from activation of a memory cell array like the conventional drum, since DRAM of this invention holds data to the sense amplifier, as explained above. Consequently, it can access to all the data currently held to the sense amplifier at high speed, and has the effect that the range of the data which can carry out rapid access is expanded compared with the conventional DRAM.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram of the 1st example of this invention.

**[Drawing 2]** It is the example of a circuit of the 1st example of this invention.

**[Drawing 3]** It is the signal wave form view of the example of a circuit of the 1st example of this invention.

**[Drawing 4]** It is the signal wave form view of refreshment of the example of a circuit of the 1st example of this invention.

**[Drawing 5]** It is the block diagram of the 2nd example of this invention.

**[Drawing 6]** It is the example of a circuit of the 2nd example of this invention.

**[Drawing 7]** It is the 1st signal wave form view of the example of a circuit of the 2nd example of this invention.

**[Drawing 8]** It is the signal wave form view of the modification of the example of a circuit of the 2nd example of this invention.

**[Drawing 9]** It is the block diagram of the 3rd example of this invention.

**[Drawing 10]** It is the example of a circuit of the 3rd example of this invention.

**[Drawing 11]** It is the signal wave form view of the example of a circuit of the 3rd example of this invention.

**[Drawing 12]** It is the block diagram of the 4th example of this invention.

**[Drawing 13]** It is the block diagram of the conventional example.

**[Drawing 14]** It is the example of a circuit of the conventional example.

**[Drawing 15]** It is the signal wave form view of the example of a circuit of the conventional example.

**[Description of Notations]**

100-130,200-230,300-330,400-430 Memory cell array

102-132,202-232,302-332,402-432 Low decoder

103-133,203-233,303-333,403-433 Sense amplifier

104-134,204-234,304-334,404-434 Column decoder

101-131,201-231,301-331,401-431 Register

140,240,340,440 Block decoder

141,241,341,441 Refreshment / R/W control

---

[Translation done.]